

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yoshihisa Nagano et al. : Art Unit:  
Serial No.: To Be Assigned : Examiner:  
Filed: Herewith :  
FOR: SEMICONDUCTOR DEVICE AND :  
METHOD FOR FABRICATING THE SAME :



#2  
8/19/98  
Cat

## CLAIM TO RIGHT OF PRIORITY

Assistant Commissioner for Patents  
Washington, DC 20231

S I R :

Pursuant to 35 U.S.C. § 119, Applicants' claim to the benefit of filing of prior Japanese Patent Application No. 9-166991, filed June 24, 1997, as stated in the inventors' Declaration, is hereby confirmed.

A certified copy of the above-referenced application is enclosed.

Respectfully Submitted,

*Joshua L. Cohen*

Paul F. Prestia, Reg. No. 23,031  
Joshua L. Cohen, Reg. No. 38,040  
Attorneys for Applicants

Enclosure: Certified Copy of Japanese Application No. 9-166991

Dated: June 24, 1998  
P.O. Box 980  
Valley Forge, PA 19482  
(610) 407-0700

The Assistant Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. 18-0350 of any fees associated with this communication.

**EXPRESS MAIL**

Mailing Label Number:  
Date of Deposit:

EE274935417US  
June 24, 1998

I hereby certify that this paper and fee are being deposited, under 37 C.F.R. § 1.10 and with sufficient postage, using the "Express Mail Post Office to Addressee" service of the United States Postal Service on the date indicated above and that the deposit is addressed to the Assistant Commissioner for Patents, Washington, DC 20231.

*Jan Landis*

Jan Landis

(Translation)

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : June 24, 1997

Application Number : Heisei 9  
Patent Appln. No. 166991

Applicant(s) : MATSUSHITA ELECTRONICS  
CORPORATION

Wafer  
of the  
Patent  
Office

August 1, 1997

Hisamitsu ARAI

Commissioner,  
Patent Office

Seal of  
Commissioner  
of  
the Patent  
Office

Appln. Cert. No.

Appln. Cert. Pat. Hei 09-3059180

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 7 年 6 月 2 4 日

出 願 番 号

Application Number:

平成 9 年特許願第 1 6 6 9 9 1 号

出 願 人

Applicant (s):

松下電子工業株式会社

YAO-3950

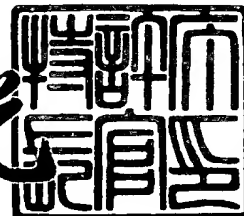
Yoshihisa Nagano et al.

Filed 6/24/98

1 9 9 7 年 8 月 1 日

特 許 庁 長 官  
Commissioner,  
Patent Office

荒井寿光



出証番号 出証特平 0 9 - 3 0 5 9 1 8 0

【書類名】 特許願

【整理番号】 2925080083

【提出日】 平成 9年 6月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/316

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 24

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 長野 能久

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 久都内 知恵

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 十代 勇治

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 上本 康裕

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 藤井 英治

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100078204

【弁理士】

【氏名又は名称】 滝本 智之

【選任した代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【手数料の表示】

【予納台帳番号】 011316

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702381

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体集積回路が作り込まれた支持基板上に形成された容量素子用下電極と高誘電率を有する誘電体膜または強誘電体膜からなる容量絶縁膜および容量素子用上電極とからなる容量素子と、前記容量素子を被覆する第1の保護絶縁膜と、前記第1の保護絶縁膜に設けた第1のコンタクトホールを介して前記半導体集積回路および容量素子に電氣的に接続され、前記第1の保護絶縁膜上に選択的に形成された第1の配線層と、前記第1の配線層を被覆し、オゾンTEOS膜からなる第2の保護絶縁膜と、前記第2の保護絶縁膜に設けた第2のコンタクトホールを介して前記第1の配線層に電氣的に接続され、前記第2の保護絶縁膜上に選択的に形成された第2の配線層および前記第2の配線層を被覆する第3の保護絶縁膜とを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第2の配線層が前記容量素子の少なくとも一部を覆うように前記第2の保護絶縁膜上に備えられたことを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、第3の保護絶縁膜が酸化珪素と窒化珪素の積層膜からなることを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれかに記載の半導体装置において、前記容量素子が形成されている領域を除いて、前記第1の配線層と前記第2の保護絶縁膜との間に、水素供給膜を備えたことを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかに記載の半導体装置において、第1の配線層が、チタン、窒化チタン、アルミニウムおよび窒化チタンの積層膜、またはチタン、窒化チタンおよびアルミニウムの積層膜、またはチタン、チタンタンゲステン、アルミニウムおよびチタンタンゲステンの積層膜、またはチタン、チタンタンゲステンおよびアルミニウムの積層膜からなることを特徴とする半導体装置。

【請求項6】 請求項1乃至4のいずれかに記載の半導体装置において、オゾンTEOS膜からなる第2の保護絶縁膜の膜質が、 $3450\text{ cm}^{-1}$ の1/波長で

Si-OH結合吸収係数が $800\text{ cm}^{-1}$ 以下であることを特徴とする半導体装置

【請求項7】 請求項1乃至4のいずれかに記載の半導体装置において、オゾンTEOS膜からなる第2の保護絶縁膜のストレスが、 $1\times 10^7\text{ dyn/cm}^2$ 以上 $3\times 10^9\text{ dyn/cm}^2$ 以下のテンサイルストレスであることを特徴とする半導体装置。

【請求項8】 請求項1乃至4のいずれかに記載の半導体装置において、オゾンTEOS膜からなる第2の保護絶縁膜の膜厚が、 $0.3\text{ }\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項9】 請求項1乃至4のいずれかに記載の半導体装置において、第2の配線層がチタン、アルミニウムおよび窒化チタンの積層膜、またはチタンおよびアルミニウムの積層膜、またはチタン、アルミニウムおよびチタンタンゲステンの積層膜からなることを特徴とする半導体装置。

【請求項10】 半導体集積回路が形成された支持基板上に、容量素子用下電極と高誘電率を有する誘電体膜または強誘電体膜からなる容量絶縁膜および容量素子用上電極とを順次形成して容量素子を形成する工程と、前記容量素子を被覆する第1の保護絶縁膜を形成する工程と、前記第1の保護絶縁膜に第1のコンタクトホールを形成する工程と、前記半導体集積回路および容量素子に電氣的に接続する第1の配線層を前記第1のコンタクトホールおよび前記第1の保護絶縁膜上の所定領域に形成する工程と、前記第1の配線層を被覆し、オゾンTEOS膜からなる第2の保護絶縁膜を形成する工程と、前記第2の保護絶縁膜に第1の熱処理を施す工程と、前記第2の保護絶縁膜に第2のコンタクトホールを形成する工程と、前記第1の配線層に電氣的に接続する第2の配線層を前記第2のコンタクトホールおよび前記第2の保護絶縁膜上の所定領域に形成する工程と、前記第2の配線層に第2の熱処理を施す工程および前記第2の配線層を被覆する第3の保護絶縁膜を形成する工程とを有する半導体装置の製造方法。

【請求項11】 請求項10記載の半導体装置の製造方法において、前記第2の配線層をマスクとして前記第2の保護絶縁膜を前記第1の配線層が露出しない程度までエッチバックする工程を有することを特徴とする半導体装置の製造方法

【請求項12】 請求項10または11記載の半導体装置の製造方法において、前記第2の配線層を形成する工程で、前記第2の配線層を前記容量素子の少なくとも一部を覆うように前記第2の保護絶縁膜上に形成することを特徴とする半導体装置の製造方法。

【請求項13】 請求項10乃至12のいずれかに記載の半導体装置の製造方法において、前記第3の保護絶縁膜を形成する工程で、前記第3の保護絶縁膜を酸化珪素膜と窒化珪素膜の積層膜で形成し、前記酸化珪素膜を常圧CVD法、減圧CVD法あるいはプラズマCVD法でシランまたはジシランまたはオゾンTEOSを用いて形成し、かつ酸化珪素膜のストレスがテンサイルストレスであることを特徴とする半導体装置の製造方法。

【請求項14】 請求項10乃至13のいずれかに記載の半導体装置の製造方法において、第1の配線層を形成する工程の後で、前記容量素子が形成されている領域を除いて、前記第1の配線層上に水素供給膜を形成し、その後熱処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、前記水素供給膜がプラズマCVD法で形成された窒化珪素膜または窒化酸化珪素膜であることを特徴とする半導体装置の製造方法。

【請求項16】 請求項14記載の半導体装置の製造方法において、前記水素供給膜を形成した後の熱処理工程における熱処理温度が300℃以上450℃以下であることを特徴とする半導体装置の製造方法。

【請求項17】 請求項14記載の半導体装置の製造方法において、前記水素供給膜を形成した後の熱処理工程における熱処理雰囲気が酸素、窒素、アルゴンまたはこれらの混合ガスであることを特徴とする半導体装置の製造方法。

【請求項18】 請求項10乃至14のいずれかに記載の半導体装置の製造方法において、前記第1の保護絶縁膜が常圧または減圧CVD法でシラン、ジシランまたはオゾンTEOSを用いて形成された酸化珪素膜か、または常圧または減圧CVD法で形成されたリンドープの酸化珪素膜であることを特徴とする半導体装置の製造方法。



【請求項19】 請求項10乃至14のいずれかに記載の半導体装置の製造方法において、オゾンTEOS膜からなる第2の保護絶縁膜を形成する時のオゾン濃度を5.5%以上とすることを特徴とする半導体装置の製造方法。

【請求項20】 請求項10乃至14のいずれかに記載の半導体装置の製造方法において、前記第1の熱処理工程後の前記第2の保護絶縁膜のストレスが、 $1 \times 10^7 \text{ dyn/cm}^2$ 以上 $2 \times 10^9 \text{ dyn/cm}^2$ 以下のテンシルストレスであることを特徴とする半導体装置の製造方法。

【請求項21】 請求項10乃至14のいずれかに記載の半導体装置の製造方法において、前記第1の熱処理工程の熱処理温度が、300℃以上450℃以下であることを特徴とする半導体装置の製造方法。

【請求項22】 請求項10乃至14のいずれかに記載の半導体装置の製造方法において、前記第1の熱処理工程における熱処理雰囲気、少なくとも酸素を含むことを特徴とする半導体装置の製造方法。

【請求項23】 請求項10乃至14のいずれかに記載の半導体装置の製造方法において、前記第2の熱処理工程における熱処理温度が、300℃以上450℃以下であることを特徴とする半導体装置の製造方法。

【請求項24】 請求項10乃至14のいずれかに記載の半導体装置の製造方法において、前記第2の熱処理工程における熱処理雰囲気が、窒素、アルゴンあるいはヘリウムの内少なくとも1つを含むことを特徴とする半導体装置の製造方法。

# 【発明の詳細な説明】

## 【0001】

### 【発明の属する技術分野】

本発明は、高誘電率を有する誘電体または強誘電体を容量絶縁膜とする容量素子を備えた半導体装置およびその製造方法に関するものである。

## 【0002】

### 【従来の技術】

近年、マイクロコンピュータ等の高速化、低消費電力化が進む中で民生用電子機器が一段と高度化し、そこに使用される半導体装置の半導体素子の微細化が急

速に進められてきている。それに伴って電子機器から発生する電磁波雑音である不要輻射が大きな問題になり、この不要輻射低減対策として高誘電率を有する誘電体（以下、高誘電体と記す）を容量絶縁膜とする大容量の容量素子を半導体集積回路等に内蔵する技術が注目をあびている。またダイナミックRAMの高集積化に伴い、容量絶縁膜として従来用いられてきた珪素酸化物または珪素窒化物に代わって、高誘電体を用いる技術が広く研究されている。さらに低動作電圧かつ高速の書き込みと読み出しが可能な不揮発性RAMの実用化を実現するために、自発分極特性を有する強誘電体膜に関する研究開発が盛んに行われている。

#### 【0003】

これらの半導体装置を実現するための最重要課題は、容量素子の特性を劣化させずに多層配線を実現する構造およびプロセスを開発することである。

#### 【0004】

以下、従来の半導体装置の製造方法について、図面を参照しながら説明する。

図10（a）～（e）は、従来の半導体装置の製造方法を示す工程断面図である。

#### 【0005】

まず、図10（a）に示すように、支持基板1上に、ゲート2およびソース・ドレイン3からなるMOS電界効果トランジスタ（MOSFET）等が形成された集積回路4と素子分離用の絶縁層5とを形成し、その上に層間絶縁膜6を形成し、さらにその上に容量素子用下電極7をスパッタ法や電子ビーム蒸着法で形成し、続いて高誘電体または強誘電体で構成された容量絶縁膜8を有機金属堆積法や有機金属化学気相成長法あるいはスパッタ法で形成し、さらに容量素子用上電極9をスパッタ法や電子ビーム蒸着法で順次形成し、その後、各々の膜を所望の形状に加工して容量素子10を形成する。

#### 【0006】

次に、図10（b）に示すように、容量素子10を被覆する第1の保護絶縁膜11を形成し、その後、第1の保護絶縁膜11を貫通したコンタクトホール12と第1の保護絶縁膜11と層間絶縁膜6を貫通したコンタクトホール13を形成し、集積回路4および容量素子10を電氣的に接続する導電膜をコンタクトホー

ル12と13および第1の保護絶縁膜11上にスパッタ法で形成し、さらに導電膜を所望の形状に加工して第1の配線層14を形成した後、熱処理を行う。

【0007】

次に、図10(c)に示すように、第1の配線層14を被覆する第2の保護絶縁膜15を表面に形成する。この第2の保護絶縁膜15を、プラズマ状態でオルト珪酸テトラエチル(TEOS)を用いてプラズマCVD法で形成された酸化珪素膜(以下、プラズマTEOS膜と記す)またはプラズマTEOS膜とSOG(Silicon On Glass)膜の積層膜で形成し、エッチバック法でほぼ平坦化することにより得る。

【0008】

その後、図10(d)に示すように、第2の保護絶縁膜15を貫通するコンタクトホール16を形成し、第1の配線層14と電気的に接続する第2の配線層17をスパッタ法等でコンタクトホール16および第2の保護絶縁膜15上に選択的に形成し、熱処理を行う。

【0009】

最後に図10(e)に示すように、第2の配線層17を被覆する第3の保護絶縁膜18を形成する。

【0010】

以上の工程を経ることによって、従来の半導体装置が形成される。

【0011】

【発明が解決しようとする課題】

しかしながら上記従来の製造方法では、第2の保護絶縁膜15は、その上に形成される第2の配線層17を段差部で段切れのないように所望の形状に加工するために、十分な平坦化が必要とされる。そのため第2の保護絶縁膜15は、容量素子用上電極9の上部に形成された第1の配線層14から約 $1\mu\text{m}$ (図10(c)の $h_1$ 参照)、高誘電体または強誘電体で構成された容量絶縁膜8のエッジ部に形成された第1の保護絶縁膜15上から約 $2\mu\text{m}$ (図10(c)の $h_2$ 参照)以上の膜厚が必要とされる。

【0012】

その結果、容量素子10に作用するストレスが大きくなり、高誘電体または強誘電体で構成された容量絶縁膜8の特性が劣化するという課題を有していた。ここで用いられるストレスとは、膜をひっぱる力（以下、テンサイルストレスと記す）や膜を縮ませる力（以下、コンプレッシブストレスと記す）のことである。したがって、単位膜厚あたりの力が一定であれば、薄い膜厚よりも厚い膜厚の方がテンサイルストレスやコンプレッシブストレスが強くなってしまうことになる。

#### 【0013】

本発明は上記の課題を解決するものであり、容量素子に作用するストレスを低減し、優れた容量素子の特性を有する半導体装置およびその製造方法を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

上記目的を達成するために請求項1記載の発明は、半導体集積回路が作り込まれた支持基板上に形成された容量素子用下電極と高誘電率を有する誘電体膜または強誘電体膜からなる容量絶縁膜および容量素子上電極とからなる容量素子と、前記容量素子を被覆する第1の保護絶縁膜と、前記第1の保護絶縁膜に設けた第1のコンタクトホールを介して前記半導体集積回路および容量素子に電氣的に接続され、前記第1の保護絶縁膜上に選択的に形成された第1の配線層と、前記第1の配線層を被覆し、オゾンTEOS膜からなる第2の保護絶縁膜と、前記第2の保護絶縁膜に設けた第2のコンタクトホールを介して前記第1の配線層に電氣的に接続され、前記第2の保護絶縁膜上に選択的に形成された第2の配線層および前記第2の配線層を被覆する第3の保護絶縁膜とを備えたものである。

#### 【0015】

この構成によれば、成膜時にセルフリフローするオゾンTEOS膜を第2の保護絶縁膜として用いているので、表面を平坦化するのに、容量素子上に形成される第2の保護絶縁膜の膜厚を厚くすることなく1 $\mu$ m以下ですることができ、容量素子へ作用するストレスを低減することができる。

#### 【0016】

本発明の請求項2記載の発明は、前記第2の配線層が前記容量素子の少なくとも一部を覆うように前記第2の保護絶縁膜上に備えられたものである。

【0017】

この構成によれば、第3の保護絶縁膜から容量素子に作用するストレスを容量素子上に形成された第2の配線層で相殺することができるため、容量素子にかかるストレスを低減することができる。

【0018】

本発明の請求項3記載の発明は、第3の保護絶縁膜が酸化珪素と窒化珪素の積層膜からなるものである。

【0019】

この構成によれば、酸化珪素膜を形成したとき、その酸化珪素膜のストレス方向がテンサイルストレスであるので、コンプレッシブストレスの大きい窒化珪素膜を酸化珪素膜の上に形成することで、第3の保護絶縁膜16にかかるストレスを相殺することができ、容量素子に作用するストレスの影響を低減できる。

【0020】

本発明の請求項4記載の発明は、前記容量素子が形成されている領域を除いて、前記第1の配線層と前記第2の保護絶縁膜との間に、水素供給膜を備えたものである。

【0021】

この構成によれば、水素供給膜をアニールすることにより、水素供給膜から水素を支持基板まで熱拡散でき、支持基板に形成された半導体集積回路が受けたダメージを回復させることができる。

【0022】

本発明の請求項5記載の発明は、第1の配線層が、チタン、窒化チタン、アルミニウムおよび窒化チタンの積層膜、またはチタン、窒化チタンおよびアルミニウムの積層膜、またはチタン、チタンタンゲステン、アルミニウムおよびチタンタンゲステンの積層膜、またはチタン、チタンタンゲステンおよびアルミニウムの積層膜からなるものである。

【0023】

この構成により、第1の配線層が、これらの積層膜で形成されているため、突き抜け等のない信頼性における配線層ができる。

【0024】

本発明の請求項6記載の発明は、オゾンTEOS膜からなる第2の保護絶縁膜の膜質が、 $3450\text{ cm}^{-1}$ の1/波長でSi-OH結合吸収係数が $800\text{ cm}^{-1}$ 以下であるものである。

【0025】

この構成によれば、オゾンTEOS膜中の含有水分量をできるだけ少なくすることができ、容量素子への水分、特にOH基やH基の浸入の抑制や、成膜後の熱処理によるクラックの発生の抑制等を可能にすることができる。

【0026】

本発明の請求項7記載の発明は、オゾンTEOS膜からなる第2の保護絶縁膜のストレスが、 $1 \times 10^7\text{ dyn/cm}^2$ 以上 $3 \times 10^9\text{ dyn/cm}^2$ 以下のテンサイルストレスであるものである。

【0027】

この構成によれば、オゾンTEOS膜による容量素子にかかるストレスを低減でき、低ストレス膜による容量素子の特性の向上を図ることができる。

【0028】

本発明の請求項8記載の発明は、オゾンTEOS膜からなる第2の保護絶縁膜の膜厚が、 $0.3\text{ }\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 以下であるものである。

【0029】

この構成によれば、第2の保護絶縁膜を薄膜化にすることで低ストレス化にすることができ、容量素子にかかるストレスを低減することができる。

【0030】

本発明の請求項9記載の発明は、第2の配線層がチタン、アルミニウムおよび窒化チタンの積層膜、またはチタンおよびアルミニウムの積層膜、またはチタン、アルミニウムおよびチタンタンゲステンの積層膜からなるものである。

【0031】

この構成によれば、第2の配線層が、これらの積層膜で形成されているため、

突き抜け等のない信頼性における配線層ができる。

【0032】

本発明の請求項10記載の発明は、半導体集積回路が形成された支持基板上に、容量素子用下電極と高誘電率を有する誘電体膜または強誘電体膜からなる容量絶縁膜および容量素子用上電極とを順次形成して容量素子を形成する工程と、前記容量素子を被覆する第1の保護絶縁膜を形成する工程と、前記第1の保護絶縁膜に第1のコンタクトホールを形成する工程と、前記半導体集積回路および容量素子に電氣的に接続する第1の配線層を前記第1のコンタクトホールおよび前記第1の保護絶縁膜上の所定領域に形成する工程と、前記第1の配線層を被覆し、オゾンTEOS膜からなる第2の保護絶縁膜を形成する工程と、前記第2の保護絶縁膜に第1の熱処理を施す工程と、前記第2の保護絶縁膜に第2のコンタクトホールを形成する工程と、前記第1の配線層に電氣的に接続する第2の配線層を前記第2のコンタクトホールおよび前記第2の保護絶縁膜上の所定領域に形成する工程と、前記第2の配線層に第2の熱処理を施す工程および前記第2の配線層を被覆する第3の保護絶縁膜を形成する工程とを有するものである。

【0033】

この構成によれば、第2の保護絶縁膜として成膜時にセルフリフローするオゾンTEOS膜を用いるため、表面平坦化に対して容量素子上の第2の保護絶縁膜の膜厚を $1\mu\text{m}$ 以下にでき、容量素子に作用するストレスをさらに低減することができる。

【0034】

本発明の請求項11記載の発明は、さらに前記第2の配線層をマスクとして前記第2の保護絶縁膜を前記第1の配線層が露出しない程度までエッチバックする工程を追加したものである。

【0035】

この構成によれば、容量素子の上部に形成される第2の保護絶縁膜の膜厚を $0.5\mu\text{m}$ 以下にすることができるため、容量素子に作用するストレスを低減することができる。

【0036】

本発明の請求項12記載の発明は、前記第2の配線層を形成する工程で、前記第2の配線層を前記容量素子の少なくとも一部を覆うように前記第2の保護絶縁膜上に形成するものである。

【0037】

この構成により、第3の保護絶縁膜から容量素子に作用するストレスを容量素子上に形成された第2の配線層で相殺することができるため、容量素子にかかるストレスを低減することができる。

【0038】

本発明の請求項13記載の発明は、前記第3の保護絶縁膜を形成する工程で、前記第3の保護絶縁膜を酸化珪素膜と窒化珪素膜の積層膜で形成し、前記酸化珪素膜を常圧CVD法、減圧CVD法あるいはプラズマCVD法でシランまたはジシランまたはオゾンTEOSを用いて形成し、かつ酸化珪素膜のストレスがテンサイルストレスであるものである。

【0039】

この構成によれば、プラズマCVD法等で形成される窒化珪素膜のコンプレッションストレスが大きいときに、テンサイルストレスを有する酸化珪素膜を窒化珪素膜の下に形成することにより、容量素子へ作用するストレスを相殺できるため、容量素子の特性を向上させることができる。

【0040】

本発明の請求項14に記載の発明は、第1の配線層を形成する工程の後で、前記容量素子が形成されている領域を除いて、前記第1の配線層上に水素供給膜を形成し、その後熱処理を施す工程を有するものである。

【0041】

この構成によれば、水素供給膜を熱処理することにより、水素供給膜から水素を支持基板まで熱拡散させて、半導体集積回路が受けたダメージを回復させることができる。

【0042】

本発明の請求項15に記載の発明は、前記水素供給膜がプラズマCVD法で形成された窒化珪素膜または窒化酸化珪素膜であるものである。



【0043】

この構成によれば、窒化珪素膜または窒化酸化珪素膜には十分な水素量を含んでいるので水素供給膜として用いることができる。

【0044】

本発明の請求項16に記載の発明は、前記水素供給膜を形成した後の熱処理工程における熱処理温度が300℃以上450℃以下であるものである。

【0045】

この構成によれば、水素供給膜中の水素を、集積回路が形成された支持基板に十分に熱拡散でき、支持基板に形成された半導体集積回路のダメージを回復させることができる。

【0046】

本発明の請求項17に記載の発明は、前記水素供給膜を形成した後の熱処理工程における熱処理雰囲気が酸素、窒素、アルゴンまたはこれらの混合ガスであるものである。

【0047】

この構成によれば、水素の熱拡散をスムーズに行うことができる。

本発明の請求項18に記載の発明は、前記第1の保護絶縁膜が常圧または減圧CVD法でシラン、ジシランまたはオゾンTEOSを用いて形成された酸化珪素膜か、または常圧または減圧CVD法で形成されたリンドープの酸化珪素膜であるものである。

【0048】

この構成によれば、信頼性のある保護絶縁膜を形成することができる。

本発明の請求項19に記載の発明は、オゾンTEOS膜からなる第2の保護絶縁膜を形成する時のオゾン濃度を5.5%以上とするものである。

【0049】

この構成によれば、成膜時のオゾン濃度を高くすることにより、オゾンTEOS膜のストレスを低減できるとともに、水分含有量を低くできる。また、熱処理によるクラックの抑制もでき、容量素子の特性を向上させることができる。

【0050】

本発明の請求項20に記載の発明は、前記第1の熱処理工程後の前記第2の保護絶縁膜のストレスが、 $1 \times 10^7 \text{ dyn/cm}^2$ 以上 $2 \times 10^9 \text{ dyn/cm}^2$ 以下のテンサイルストレスであるものである。

【0051】

この構成によれば、オゾンTEOS膜による容量素子にかかるストレスを低減でき、低ストレス膜による容量素子の特性の向上を図ることができる。

【0052】

本発明の請求項21に記載の発明は、前記第1の熱処理工程の熱処理温度が、 $300^\circ\text{C}$ 以上 $450^\circ\text{C}$ 以下であるものである。

【0053】

この構成によれば、容量素子に作用するストレスの低減と、オゾンTEOS膜の緻密化を図ることができる。

【0054】

本発明の請求項22に記載の発明は、前記第1の熱処理工程における熱処理雰囲気、少なくとも酸素を含むものである。

【0055】

この構成によれば、熱処理によるストレスの低減ができるとともに、容量絶縁膜への酸素の供給を行うことができ、容量素子の特性を向上させることができる。

【0056】

本発明の請求項23に記載の発明は、前記第2の熱処理工程における熱処理温度が、 $300^\circ\text{C}$ 以上 $450^\circ\text{C}$ 以下であるものである。

【0057】

この構成によれば、第2の配線層を緻密にできるとともに、低ストレス化することができる。

【0058】

本発明の請求項24に記載の発明は、前記第2の熱処理工程における熱処理雰囲気が、窒素、アルゴンあるいはヘリウムの内少なくとも1つを含むものである。

【0059】

この構成によれば、第2の配線層を緻密にすることができるとともに、低ストレス化することができる。

【0060】

【発明の実施の形態】

以下、本発明の第1の実施の形態について、図面を参照しながら説明する。

【0061】

(実施の形態1)

図1(a)～(e)は、本発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

【0062】

まず、図1(a)に示すように、シリコンからなる支持基板1にゲート2およびソース・ドレイン3からなるMOSFET等が形成された集積回路4と酸化珪素からなる素子分離用の絶縁膜5とを形成し、その上に層間絶縁膜6を形成し、さらにその上に容量素子用下電極7をスパッタ法や電子ビーム蒸着法で形成し、続いて高誘電体または強誘電体で構成された容量絶縁膜8を有機金属堆積法、有機金属化学気相成長法あるいはスパッタ法で形成し、さらに容量素子上電極9をスパッタ法や電子ビーム蒸着法で順次形成して、最後に各々の膜を所望の形状に加工して容量素子10を形成する。

【0063】

なお、層間絶縁膜6の形成を省略し、容量素子10を素子分離用の絶縁膜5上に形成してもよい。以下の実施の形態においても同様である。

【0064】

ここで容量素子用下電極7および容量素子上電極9としては、白金、パラジウム、ルテニウム、酸化ルテニウム、イリジウムおよび酸化イリジウム等が用いられ、高誘電体または強誘電体で構成された容量絶縁膜8としては、 $Ba_{1-x}Sr_xTiO_3$ 、 $SrTiO_3$ 、 $Ta_2O_5$ 、 $PbZr_{1-x}Ti_xO_3$ 、 $SrBi_2Ta_2O_9$ 、 $SrBi_2Ta_xNb_{1-x}O_9$ 等が用いられる。

【0065】

次に、図1(b)に示すように、第1の保護絶縁膜111としてオゾンを含む雰囲気下でTEOS（オルト珪酸テトラエチル）を用いてCVD法で形成される酸化珪素膜（以下、オゾンTEOS膜と記す）を容量素子10が形成された支持基板1の表面に形成する。続いて、第1の保護絶縁膜111を貫通するコンタクトホール12と第1の保護絶縁膜111と層間絶縁膜6を貫通するコンタクトホール13を所定領域に形成し、さらに第1の配線層14として、チタン、窒化チタン、アルミニウムおよび窒化チタンの積層膜をスパッタ法等でコンタクトホール12と13および第1の保護絶縁膜111上に形成する。その第1の配線層14を集積回路4および容量素子10を電氣的に接続するように所望の形状に加工し、その後第1の熱処理を行う。

## 【0066】

次に、図1(c)に示すように、前記第1の配線層14が形成された第1の保護絶縁膜111上で、かつ容量素子10の領域を除く領域に、集積回路4に水素を供給するための水素供給膜19を形成する。この水素供給膜19をプラズマCVD法により形成した後、水素を熱拡散させるために450℃で1時間、酸素雰囲気中でアニールする。なお、この水素供給膜19は窒化珪素膜または窒化酸化珪素膜で形成されており、膜中に十分な水素量を有している。

## 【0067】

また、水素供給膜19を形成した後のアニール工程における熱処理温度は300℃以上450℃以下であればよく、熱拡散することにより膜中から集積回路4が作り込まれた支持基板1まで水素を到達させることで、集積回路4が受けたダメージを回復させることができる。

## 【0068】

また、水素供給膜19を形成した後の熱処理雰囲気を酸素で行ったが、窒素、アルゴンでもよく、または酸素を含むこれらの混合ガスを用いてもよい。

## 【0069】

次に、第1の配線層14が形成された支持基板全面に第2の保護絶縁膜151としてオゾンTEOS膜を形成する。オゾンTEOS膜は成膜時にセルフリフローするため、薄膜で平坦化が可能となる。例えば、第2の配線層を加工するため

必要とされる第2の保護絶縁膜151の膜厚は、容量素子用上電極9上に形成された第1の配線層14から約 $0.8\mu\text{m}$ （図1（c）の $h_3$ 参照）、高誘電体または強誘電体で構成された容量絶縁膜8のエッジ部上に形成された第1の保護絶縁膜111から約 $0.5\mu\text{m}$ （図1（c）の $h_4$ 参照）となる。したがって、従来、用いられていたプラズマTEOS膜の場合の膜厚に比べると平坦化しつつも、かなり薄膜化にすることができる。

【0070】

次に、第1の熱処理として、 $450^\circ\text{C}$ で1時間の酸素雰囲気中でアニールし、第2の保護絶縁膜151であるオゾンTEOS膜のストレスを低減させるとともに、容量素子10に酸素の供給を行う。

【0071】

次に図1（d）に示すように、第1の配線層14に接続するためのコンタクトホール16を第2の保護絶縁膜151の所定領域に形成し、続いて第2の配線層17としてチタン、アルミニウムおよび窒化チタンの積層膜をスパッタ法等でコンタクトホール16および第2の保護絶縁膜151上に形成し、続いて第1の配線層14と電氣的に接続するように第2の配線層17を所望の形状に加工する。さらに第2の熱処理として、 $400^\circ\text{C}$ で30分の窒素雰囲気中でアニールすることにより、第2の配線層17を緻密化にし、また低ストレス化する。

【0072】

最後に、図1（e）に示すように、第2の配線層17を形成した支持基板上に第3の保護絶縁膜18を形成する。なお、第3の保護絶縁膜18を、プラズマCVD法で窒化珪素膜を用いて形成する。

【0073】

以上の工程により第1の実施の形態による半導体装置が形成される。

このように、第2の保護絶縁膜151としてオゾンTEOS膜を用いた構成を有する本発明の半導体装置によれば、容量素子10上に形成する第2の保護絶縁膜151の膜厚を薄膜にすることができるため、容量素子10に作用するストレスを低減することができる。

【0074】

なお、集積回路4がダメージを受けていない場合は、図2に示すように水素供給膜19を設けない構成であっても、容量素子の特性は同等程度にすることができる。

## 【0075】

図3は、第2の保護絶縁膜151として、従来使用していたプラズマTEOS膜を用いた場合と、本発明のオゾンTEOS膜を用いた場合とを、容量絶縁膜8として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いた容量素子10の特性を用いて比較した特性比較図である。ここで用いたプラズマTEOS膜の膜厚は、まず $3.4\mu\text{m}$ の厚さに成膜した後、レジストエッチバック法により $1.5\mu\text{m}$ の厚さまでエッチバックしたものを使用した。また本発明に用いたオゾンTEOS膜の膜厚は $1\mu\text{m}$ のものを使用した。

## 【0076】

図3に示すように、従来使用していたプラズマTEOS膜を用いた場合の容量素子の特性は、残留分極量は $3\mu\text{C}/\text{cm}^2$ 、絶縁耐圧は7Vを示しているのに対し、本実施の形態で使用したオゾンTEOS膜を用いた場合の容量素子の特性は、残留分極量は $10\mu\text{C}/\text{cm}^2$ 、絶縁耐圧は30Vを示した。したがって、本発明の第1の実施の形態によれば、容量素子10の特性を残留分極量において $7\mu\text{C}/\text{cm}^2$ 、絶縁耐圧において23V向上させることができる。

## 【0077】

## (実施の形態2)

次に、本発明の第2の実施の形態について、図4を参照しながら説明する。

## 【0078】

図4(a)～(e)は、本発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

## 【0079】

ここで、図1に示した第1の実施の形態と異なるところは、オゾンTEOS膜を用いた第2の保護絶縁膜151を形成した後で、第2の配線層17をマスクにしてオゾンTEOS膜を用いた第2の保護絶縁膜151をエッチバックしたところにある。

## 【0080】

以下、図4 (a) ~ (e) を用いて第2の実施の形態について詳細に説明する。ここで、第2の実施の形態の工程図の図4 (a) ~ (c) に示した工程は、第1の実施の形態の工程図の図1 (a) ~ (c) に示した工程と同じであるので説明を省略する。

## 【0081】

次に、図4 (d) に示すように、第1の配線層14に接続するためのコンタクトホール16を第2の保護絶縁膜151であるオゾンTEOS膜に形成し、続いて第2の配線層17としてチタン、アルミニウムおよび窒化チタンの積層膜をスパッタ法等でコンタクトホール16および第2の保護絶縁膜151上に形成し、第1の配線層14と電氣的に接続するように第2の配線層17を所望の形状に加工した後、第2の配線層17をマスクにして第2の保護絶縁膜151を第1の配線層14が露出しない所までエッチバックする。その後、第2の熱処理として400℃で30分の窒素雰囲気中でアニールすることで、第2の配線層17を緻密化にし、また低ストレス化する。

## 【0082】

最後に図4 (e) に示すように、第3の保護絶縁膜18を第2の配線層17が形成された支持基板1上に形成する。なお、第3の保護絶縁膜18をプラズマCVD法で窒化珪素膜を用いて形成する。

## 【0083】

以上の工程を経ることによって、本発明の第2の実施の形態の半導体装置が形成される。

## 【0084】

上記第2の実施の形態のように、第2の保護絶縁膜151としてオゾンTEOS膜を用い、かつ第2の配線層17をマスクにしてオゾンTEOS膜をエッチバックすると、容量素子10上に形成する第2の保護絶縁膜151の膜厚を第1の実施の形態の場合の膜厚よりもさらに薄膜にすることができるため、容量素子10に作用するストレスを低減することができる。

## 【0085】

図5は、第1の実施の形態の第2の保護絶縁膜151をエッチバックしない場合と、第2の実施の形態の第2の保護絶縁膜151をエッチバックして薄膜にした場合とを、容量絶縁膜8として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いた容量素子10の特性を用いて比較した特性比較図である。ここで本発明で使用した第2の保護絶縁膜151の膜厚は、エッチバックしない場合は $1\mu\text{m}$ の厚さのものを使用し、エッチバックした場合は、まず $1\mu\text{m}$ の厚さに成膜した後 $0.5\mu\text{m}$ の厚さまでエッチバックしたものを使用した。

## 【0086】

図5に示すように、第1の実施の形態のエッチバックしない場合の容量素子の特性は、残留分極量が $10\mu\text{C}/\text{cm}^2$ 、絶縁耐圧は $30\text{V}$ を示しているのに対し、第2の実施の形態のエッチバックした場合の容量素子の特性は、残留分極量が $12\mu\text{C}/\text{cm}^2$ 、絶縁耐圧は $40\text{V}$ を示した。したがって、本発明の第2の実施の形態によれば、容量素子10の特性をさらに残留分極量において $2\mu\text{C}/\text{cm}^2$ 、絶縁耐圧において $10\text{V}$ 向上させることができる。

## 【0087】

## (実施の形態3)

図6(a)～(e)は本発明の第3の実施の形態における半導体装置の製造方法を示す工程断面図である。

## 【0088】

ここで、図1に示した第1の実施の形態と異なるところは、第2の配線層17を第1の配線層14に接続するためコンタクトホール16および第2の保護絶縁膜151上の所定領域に形成するとともに、容量素子10を覆うように第2の配線層17を第2の保護絶縁膜151上にも設けたところにある。

## 【0089】

以下、図6(a)～(e)を用いて第3の実施の形態について詳細に説明する。ここで、第3の実施の形態の工程図の図6(a)～(c)に示した工程は、第1の実施の形態の工程図の図1(a)～(c)に示した工程と同じであるので説明を省略する。

## 【0090】



次に、図6(d)に示すように第1の配線層14に接続するためのコンタクトホール16を第2の保護絶縁膜151の所定領域に形成し、続いて第2の配線層17であるチタン、アルミニウムおよび窒化チタンの積層膜をコンタクトホール16と第2の保護絶縁膜151上にスパッタ法で形成し、第1の配線層14と電氣的に接続するとともに、容量素子10の全面にも覆うように第2の配線層17を所望の形状に加工する。その後、第2の熱処理として400℃で30分の窒素雰囲気中でアニールすることで、第2の配線層17を緻密化にし、また低ストレス化する。

#### 【0091】

最後に、図6(e)に示すように、第3の保護絶縁膜18を第2の配線層17を形成した支持基板1上に形成する。なお、第3の保護絶縁膜18をプラズマCVD法で窒化珪素膜を用いて形成する。

#### 【0092】

以上の工程により第3の実施の形態の半導体装置が形成される。

上記第3の実施の形態のように、第2の配線層17を容量素子10の全面を覆うように第2の保護絶縁膜151上の所定領域に形成すると、第3の保護絶縁膜18から容量素子10にかかるストレスを容量素子上に形成された第2の配線層17で相殺することができるため、容量素子10に作用するストレスを十分低減させることができる。

#### 【0093】

図7は、第3の実施の形態で示したように、第2の保護絶縁膜151上に容量素子10を覆うように第2の配線層17を設けた場合と、第1の実施の形態で示したように、容量素子上に第2の配線層17を設けない場合とを、容量絶縁膜8として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いた容量素子10の特性を用いて比較した特性比較図である。ここで本発明で使用した第2の保護絶縁膜151の膜厚は $1\mu\text{m}$ のものを使用した。

#### 【0094】

図7に示すように、第2の配線層17を容量素子10上に設けない場合の容量素子の特性は、残留分極量が $10\ \mu\text{C}/\text{cm}^2$ 、絶縁耐圧は30Vを示しているのに対し、第2の配線層17を容量素子10上に設けた場合の容量素子の特性は、残留分極量が $14\ \mu\text{C}/\text{cm}^2$ 、絶縁耐圧は40Vを示した。したがって、本発明の第3の実施の形態によれば、容量素子10を覆うように第2の保護絶縁膜151上に第2の配線層17を設けると、容量素子10の特性は残留分極量において $4\ \mu\text{C}/\text{cm}^2$ 、絶縁耐圧において10Vさらに向上させることができる。

#### 【0095】

なお、第3の実施の形態では、容量素子10の全面を覆うように第2の配線層17を形成して説明したが、容量素子10の少なくとも一部を覆っていれば同様の効果が得られる。例えば、本発明の半導体装置を上から見たとき、図8(a)に示すように、容量素子10の全面を覆うように第2の保護絶縁膜151上に第2の配線層17を形成しても、また、容量素子10上に第2の保護絶縁膜を介して、図8(b)に示すように第2の配線層17をジグザグ状に形成したり、あるいは図8(c)に示すように、第2の配線層17をメッシュ状に形成しても同様の効果が得られる。

#### 【0096】

以上説明した第1～第3の実施の形態をそれぞれ組み合わせてもよい。

次に、各実施の形態では、第3の保護絶縁膜18として窒化珪素膜を用いたが、酸化珪素膜と窒化珪素膜の積層膜を用いると、容量素子10の特性をさらに向上させることができる。その理由は、酸化珪素膜を形成したとき、その酸化珪素膜のストレス方向をテンサイルにすれば、コンプレッシブストレスの大きい窒化珪素膜を酸化珪素膜の上に形成することで、第3の保護絶縁膜18にかかるストレスを相殺することができ、容量素子10にまでストレスの影響を及ぼすことがなくなるためである。

#### 【0097】

ここで用いられる第3の保護絶縁膜18の酸化珪素膜と窒化珪素膜の積層膜の製造方法は、シランガスを用いた常圧CVD法、減圧CVD法あるいはプラズマCVD法で形成する。またはオゾンTEOSを用いた酸化珪素膜を、常圧CVD

法、または減圧CVD法で形成し、また窒化珪素膜はプラズマCVD法で形成する。

#### 【0098】

図9は、第3の保護絶縁膜18として窒化珪素膜の単層を形成した場合と、本発明の窒化珪素膜と酸化珪素膜との積層膜を形成した場合とを、容量絶縁膜8として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いた容量素子10の特性を用いて比較した特性比較図である。

#### 【0099】

ここで、窒化珪素膜の単層で形成した場合の第3の保護絶縁膜18はプラズマCVD法で $0.8\mu\text{m}$ の厚さで形成されたものを使用し、また窒化珪素膜と酸化珪素膜との積層膜で形成された場合の第3の保護絶縁膜18は、まず常圧CVD法で $0.1\mu\text{m}$ の厚さに酸化珪素膜を形成し、その酸化珪素膜上にプラズマCVD法で $0.8\mu\text{m}$ の厚さに窒化珪素膜を堆積したものを使用した。

#### 【0100】

図9に示すように、窒化珪素膜の単層の場合の容量素子の特性は絶縁耐圧として30Vを示しているのに対し、窒化珪素膜と酸化珪素膜との積層膜の場合の容量素子の特性は、絶縁耐圧として40Vを示した。したがって、本発明の第3の保護絶縁膜として窒化珪素膜と酸化珪素膜との積層膜を設けると、容量素子の特性を絶縁耐圧において約10V向上させることができる。

#### 【0101】

この積層膜の第3の保護絶縁膜を上記第1～第3の実施の形態に組み合わせてもよい。

#### 【0102】

なお、上記各実施の形態では、第1の保護絶縁膜111としてオゾンTEOS膜を用いたが、常圧または減圧CVD法でシラン、ジシランを用いた酸化珪素膜またはリンドーブの酸化珪素膜を用いてもよい。

#### 【0103】

なお、上記各実施の形態では、第1の配線層14としてチタン、窒化チタン、アルミニウムおよび窒化チタンの積層膜を用いたが、チタン、窒化チタンおよび

アルミニウムの積層膜、またはチタン、チタタングステン、アルミニウムおよびチタタングステンの積層膜、またはチタン、チタタングステンおよびアルミニウムの積層膜を用いてもよい。

【0104】

なお、本発明の第2の保護絶縁膜151であるオゾンTEOS膜の膜質は、 $3450\text{ cm}^{-1}$ の1/波長でSi-OH結合吸収係数が $800\text{ cm}^{-1}$ 以下であることが望ましい。オゾンTEOS膜中の含有水分量をできるだけ少なくすることで、容量素子の特性劣化の原因とされる水分、特にOH基やH基の浸入を抑制し、成膜後の熱処理によるクラックの発生を抑制することができるため、容量素子の特性をさらに向上させることができるためである。

【0105】

なお、本発明のオゾンTEOS膜のストレスは、 $1 \times 10^7\text{ dyn/cm}^2$ 以上 $3 \times 10^9\text{ dyn/cm}^2$ 以下のテンサイルストレスであることが望ましい。この範囲以外のストレスを有すると、ストレスによる容量素子の特性劣化が起こりやすいためである。

【0106】

なお、本発明の第2の保護絶縁膜としてのオゾンTEOS膜の膜厚は、 $0.3\text{ }\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 以下であることが望ましい。 $1\text{ }\mu\text{m}$ 以上になるとオゾンTEOS膜にかかるストレスが大きくなり、容量素子の特性劣化が起こる可能性があり、かつ後工程の第1の熱処理工程によってクラックが発生しやすくなるためである。一方、 $0.3\text{ }\mu\text{m}$ 以下になると、十分な平坦化ができなくなり、第2の配線層を加工する際のエッチングの残り等が発生する可能性がある。

【0107】

なお、本発明の第2の保護絶縁膜としてのオゾンTEOS膜の成膜時のオゾン濃度は5.5%以上であることが望ましい。オゾン濃度を5.5%以上に高くすることで、オゾンTEOS膜自身のストレスを低減するとともに水分含有量を低くすることができ、かつ熱処理によるクラックを抑制することができる等、容量素子の特性をさらに向上させることができる。

【0108】

なお、各実施の形態では第1の熱処理工程での熱処理温度を450℃としたが、300℃以上450℃以下であればよい。この温度範囲であれば容量素子に作用するストレスの低減、オゾンTEOSを用いた酸化珪素膜の緻密化を可能にするため、容量素子の特性を向上させることができる。

【0109】

なお、第1の熱処理工程での熱処理雰囲気として酸素を用いたが、酸素と他のガスとの混合ガスを用いてもよい。この構成により、熱処理によるストレスの低減、容量絶縁膜への酸素の供給を可能にし、容量素子の特性をさらに向上させることができる。

【0110】

なお、各実施の形態で第1の熱処理後の第2の保護絶縁膜18としてのオゾンTEOS膜のストレスは、 $1 \times 10^7 \text{ dyn/cm}^2$ 以上 $2 \times 10^9 \text{ dyn/cm}^2$ 以下のテンサイルストレスであることが望ましい。熱処理によってオゾンTEOS膜を低ストレス化にすることにより容量素子に作用するストレスを低減することができる。

【0111】

なお、各実施の形態では、第2の配線層17としてチタン、アルミニウムおよび窒化チタンの積層膜を用いたが、チタンおよびアルミニウムの積層膜、またはチタン、アルミニウムおよびチタンタンゲステンの積層膜を用いても同様の効果が得られる。

【0112】

なお、各実施の形態では、第2の熱処理工程での熱処理温度を400℃としたが、300℃以上450℃以下であればよい。この温度範囲であれば第2の配線層の緻密化かつ低ストレス化にすることができる。

【0113】

また、各実施の形態では、第2の熱処理工程での熱処理雰囲気として窒素を用いたが、アルゴン、ヘリウムのいずれでもよく、または窒素を含むこれらの混合ガスを用いても同様の効果が得られる。この構成により第2の配線層の緻密化かつ低ストレス化にすることができる。

【0114】

【発明の効果】

本発明の半導体装置およびその製造方法によれば、容量素子に作用するストレスを低減することができるため、優れた特性を有する容量素子を得ることができ、多層配線を適用しても優れた信頼性を有することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図

【図2】

本発明の第1の実施の形態における水素供給膜のない場合の半導体装置の断面図

【図3】

本発明の第1の実施の形態と従来例における容量素子の特性比較図

【図4】

本発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図

【図5】

本発明の第1の実施の形態と第2の実施の形態における容量素子の特性比較図

【図6】

本発明の第3の実施の形態における半導体装置の製造方法を示す工程断面図

【図7】

本発明の第1の実施の形態と第3の実施の形態における容量素子の特性比較図

【図8】

本発明の第3の実施の形態における上面図

【図9】

本発明の半導体装置における第3の保護絶縁膜による容量素子の特性比較図

【図10】

従来例の半導体装置の製造方法を示す工程断面図

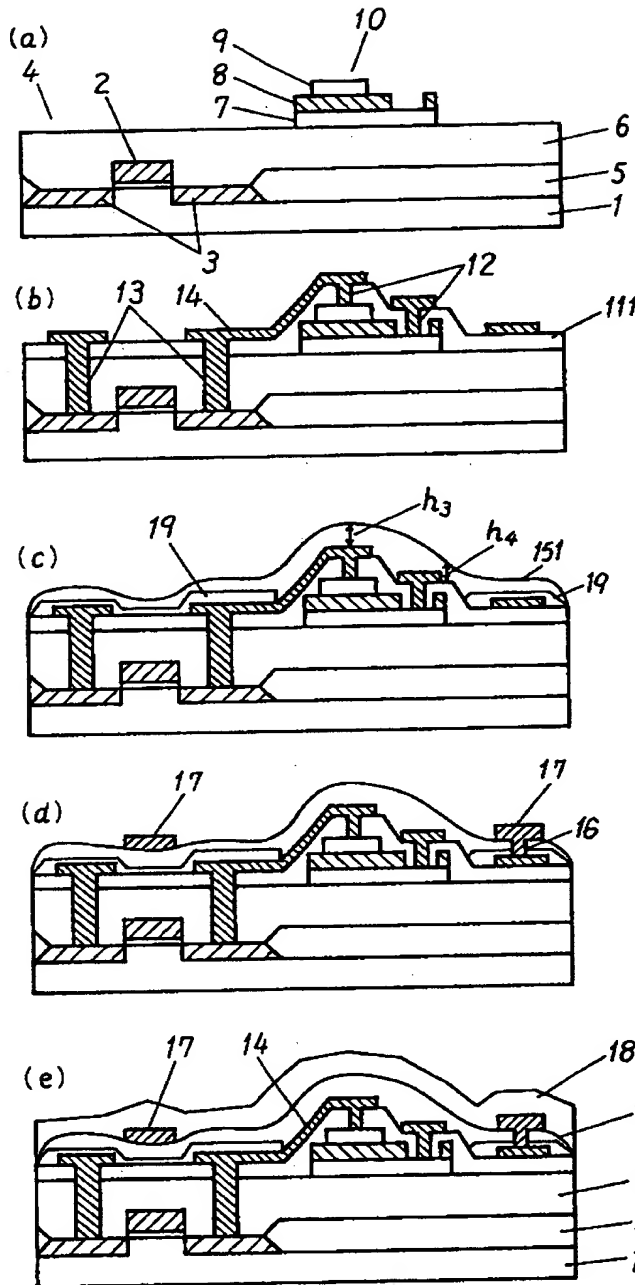
【符号の説明】

1 支持基板

- 2 ゲート
- 3 ソース・ドレイン
- 4 集積回路
- 5 素子分離用の絶縁膜
- 6 層間絶縁膜
- 7 容量素子用下電極
- 8 容量絶縁膜
- 9 容量素子上電極
- 10 容量素子
- 11、111 第1の保護絶縁膜
- 12、13、16 コンタクトホール
- 14 第1の配線層
- 15、151 第2の保護絶縁膜
- 17 第2の配線層
- 18 第3の保護絶縁膜
- 19 水素供給膜

【書類名】 図面

【図1】

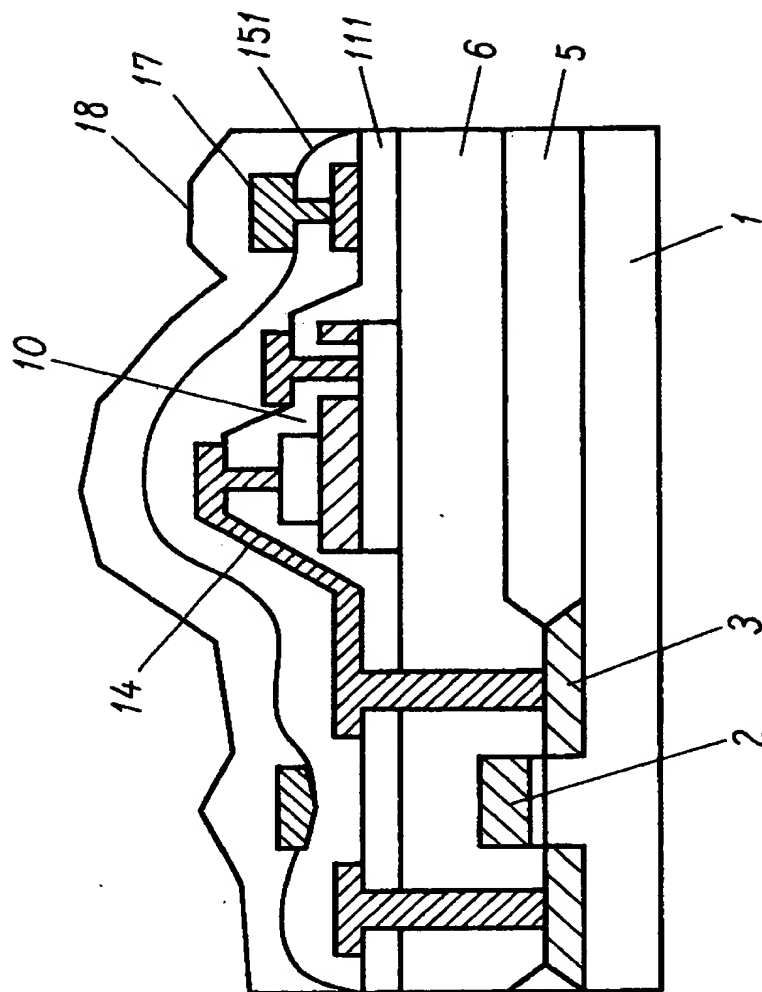


- 1 支持基板
- 2 ゲート
- 3 ソース・ドレイン
- 4 集積回路
- 5 素子分離用の絶縁膜
- 6 層間絶縁膜
- 7 容量素子用下電極
- 8 容量絶縁膜
- 9 容量素子上電極
- 10 容量素子
- 12,13 16 コンタクトホール
- 14 第1の配線層
- 17 第2の配線層
- 18 第3の保護絶縁膜
- 19 水素供給膜
- 111 第1の保護絶縁膜
- 151 第2の保護絶縁膜 (オゾンTEOS膜)

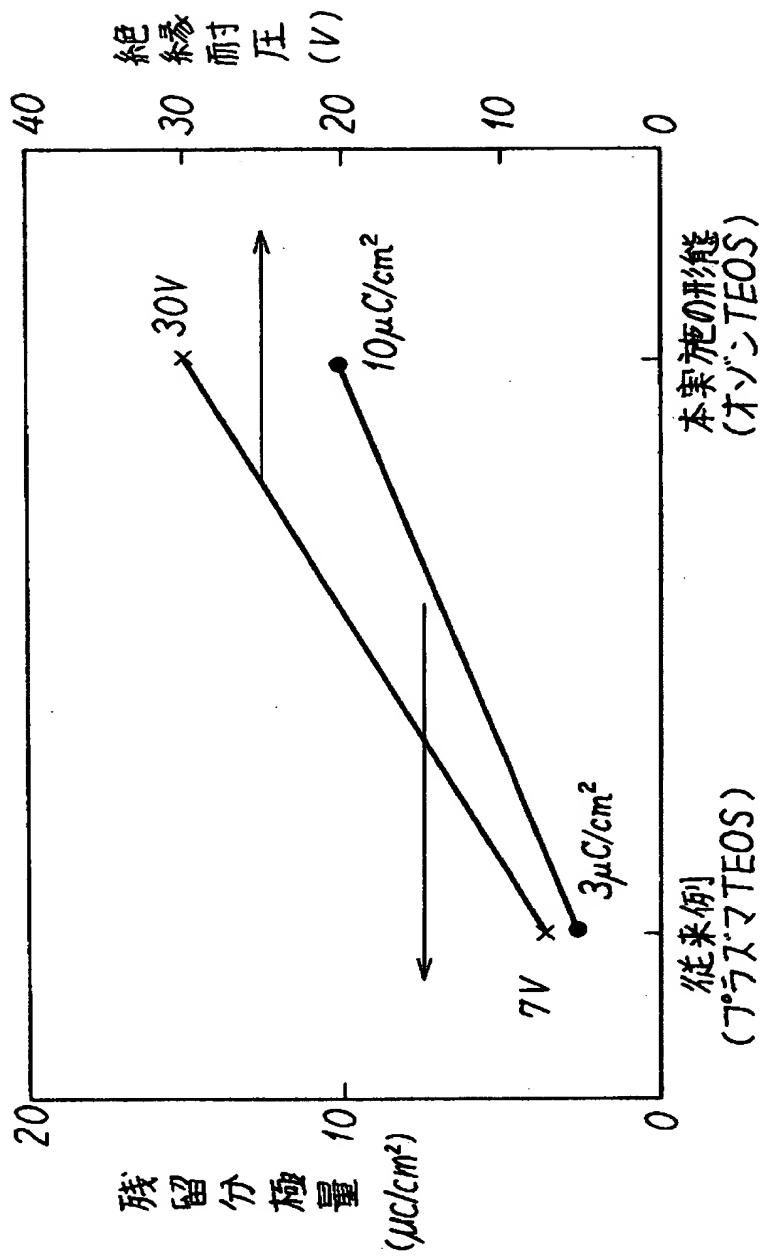


【図2】

10 容量素子

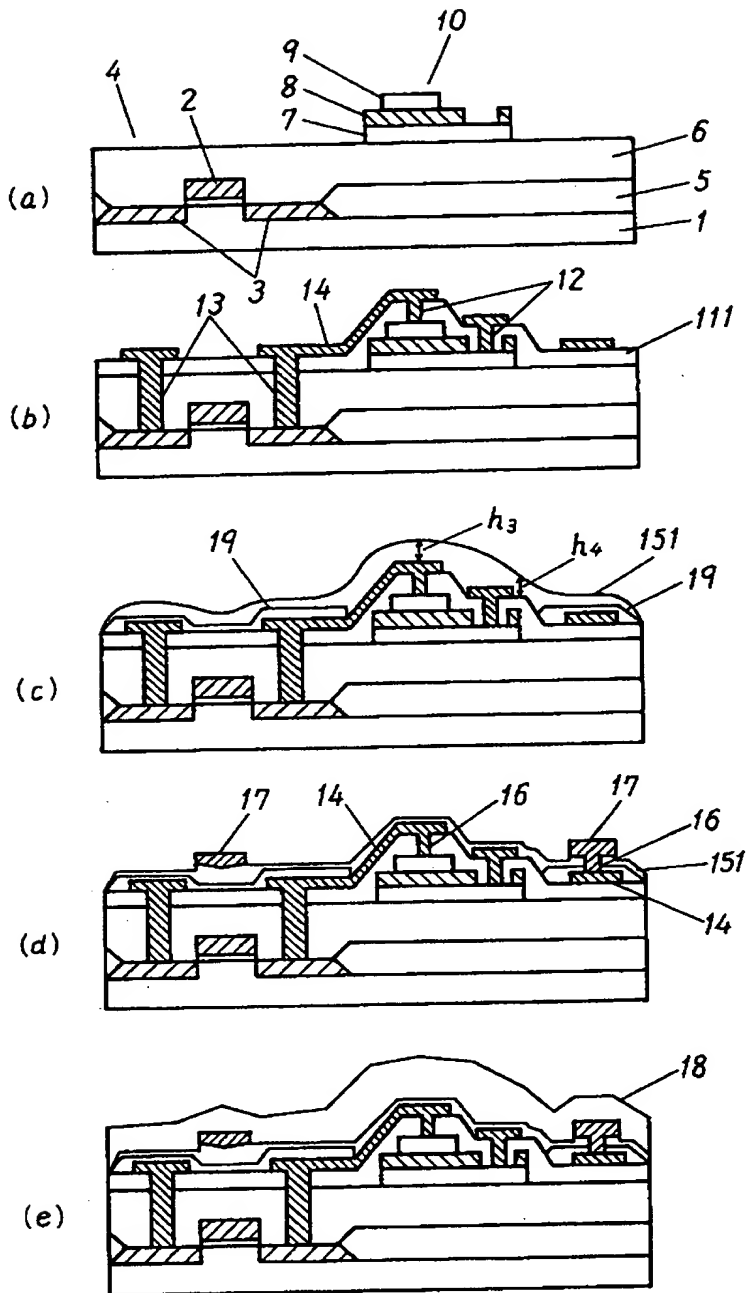


【図3】

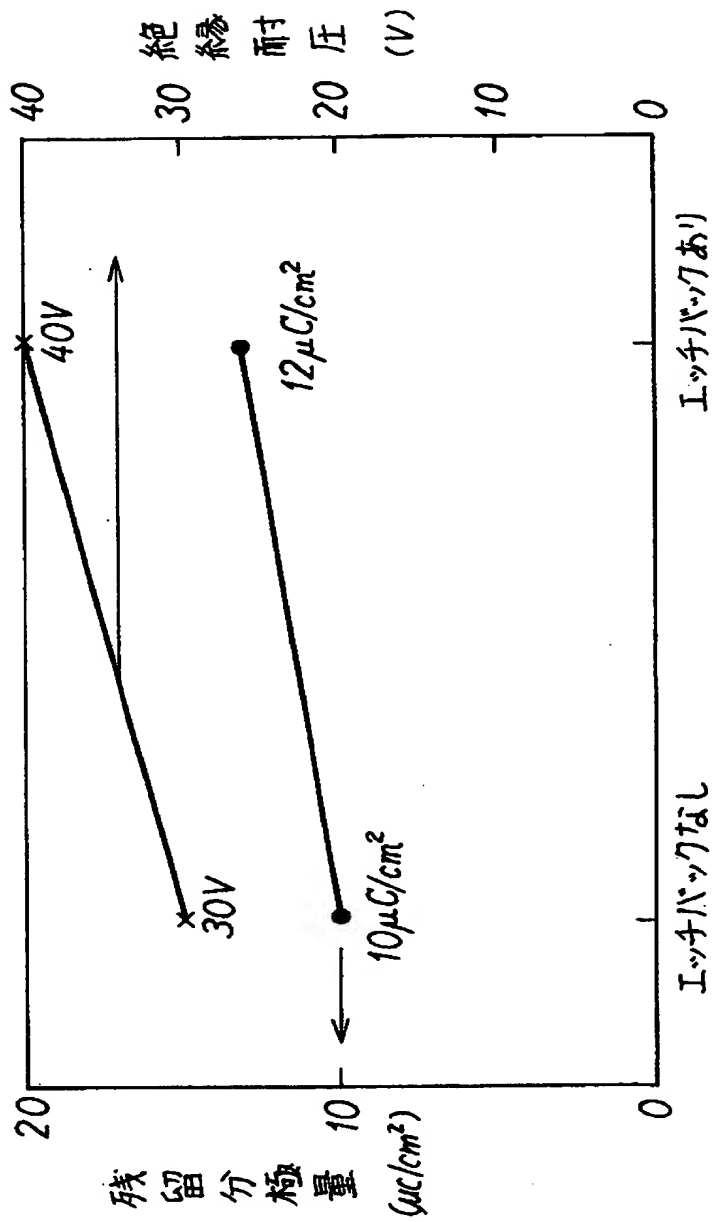


【图4】

10 容量素子

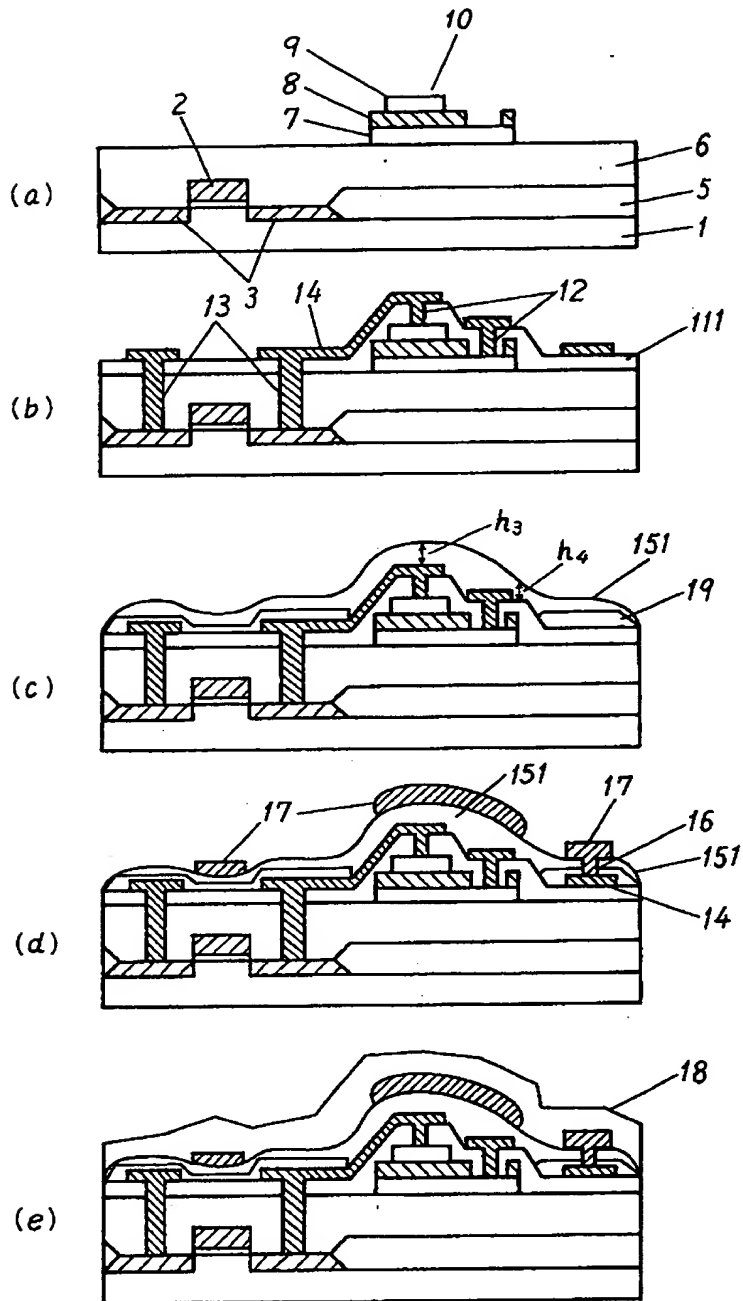


【図5】

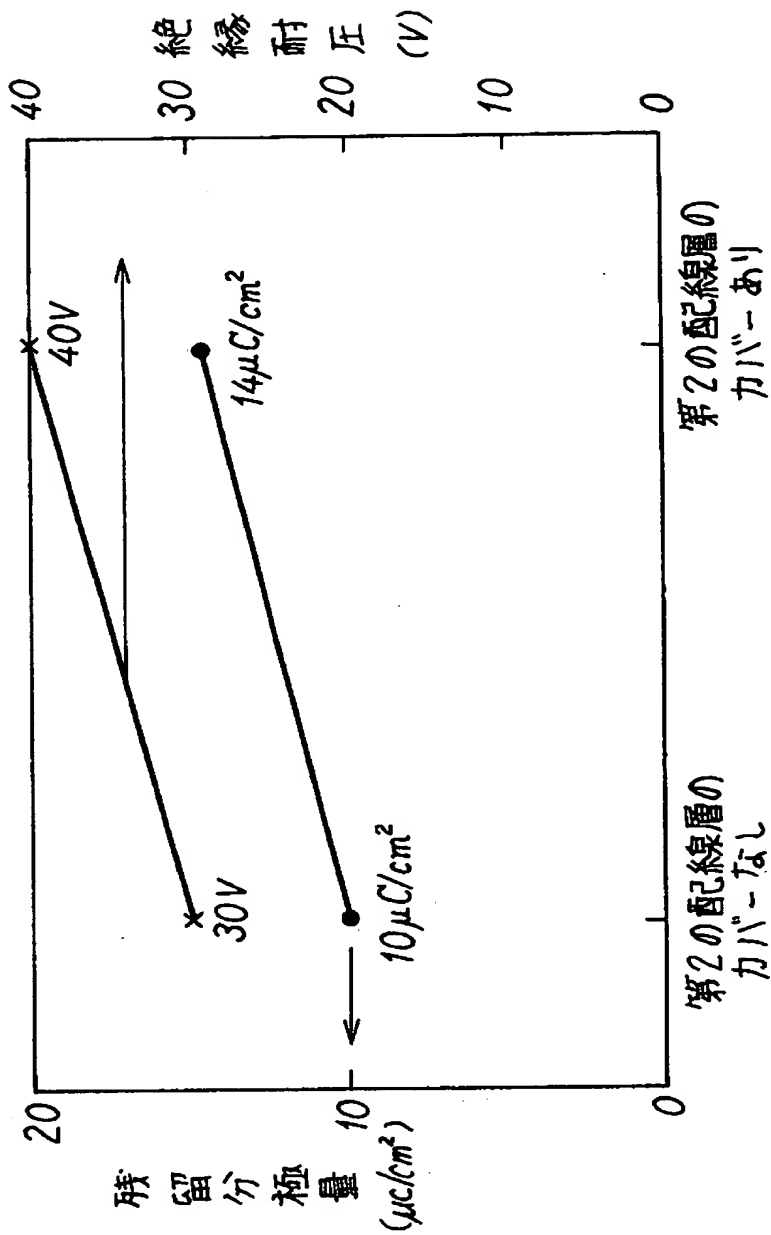


【图6】

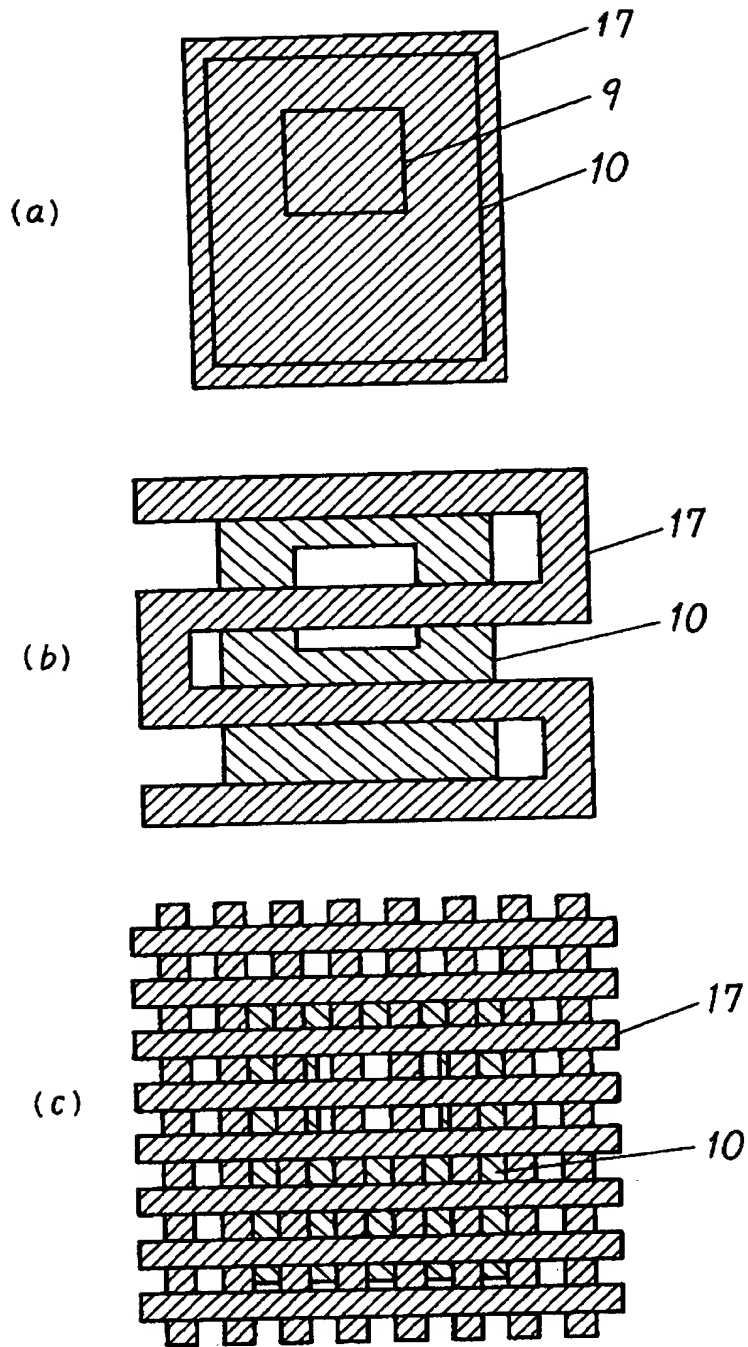
10 容量素子



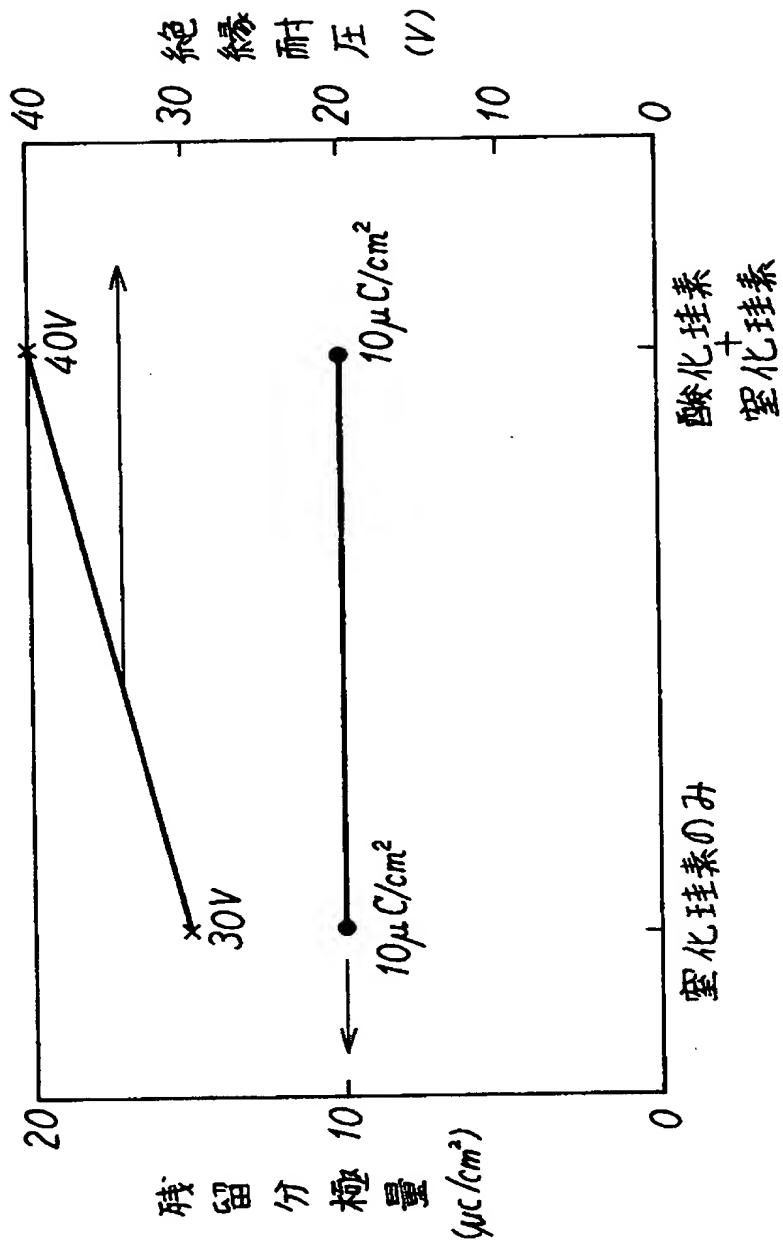
【図7】



【図8】

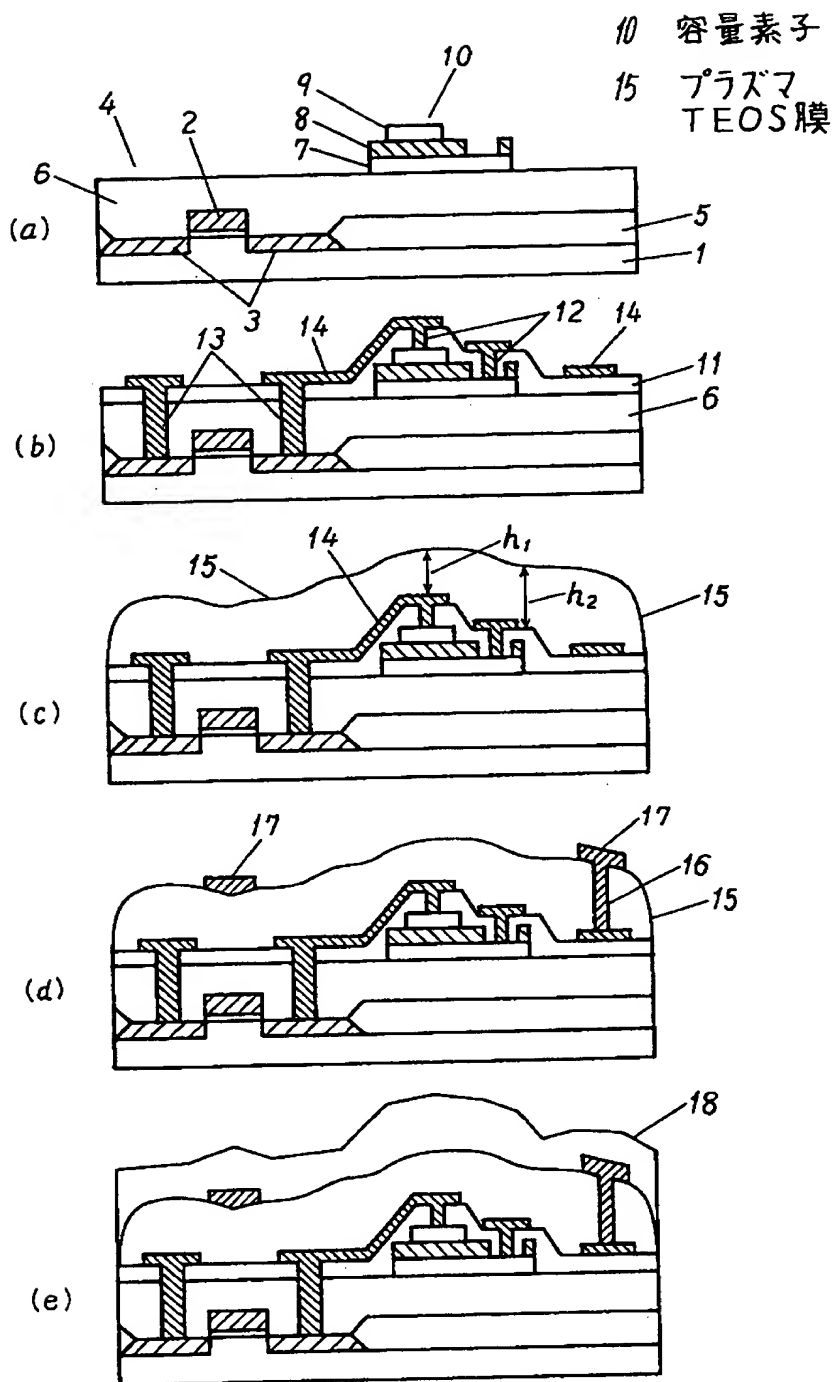


【図9】





【図10】



【書類名】 要約書

【要約】

【課題】 容量素子に作用するストレスを低減し、優れた特性を有する容量素子を備えた半導体装置およびその製造方法を提供する。

【解決手段】 集積回路4が形成された支持基板1上に、容量素子用下電極7と高誘電率を有する誘電体または強誘電体の容量絶縁膜8と容量素子用上電極9とからなる容量素子10が形成され、前記容量素子10を被覆する第1の保護絶縁膜111が形成され、前記第1の保護絶縁膜111上に集積回路4および容量素子10を電氣的に接続する第1の配線層14が形成され、前記第1の配線層14が形成された表面にオゾンTEOS膜からなる第2の保護絶縁膜151が形成され、前記第2の保護絶縁膜151上に前記第1の配線層14を電氣的に接続する第2の配線層17が形成され、前記第2の配線層17を設けた表面に第3の保護絶縁膜18が形成されたものである。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005843  
【住所又は居所】 大阪府高槻市幸町1番1号  
【氏名又は名称】 松下電子工業株式会社

【代理人】 申請人

【識別番号】 100078204  
【住所又は居所】 大阪府門真市大字門真1006 松下電器産業株式  
会社内

【氏名又は名称】 滝本 智之

【選任した代理人】

【識別番号】 100097445  
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業  
株式会社内  
【氏名又は名称】 岩橋 文雄

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日  
[変更理由] 住所変更  
住 所 大阪府高槻市幸町1番1号  
氏 名 松下電子工業株式会社